

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124792

(P2000-124792A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl.<sup>7</sup>

H03K 19/0185

識別記号

FI

H03K 19/00

テームト(参考)

101D 5J056

審査請求 未請求 請求項の数3 OL (全6頁)

(21) 出願番号 特願平10-297800

(22) 出願日 平成10年10月20日 (1998.10.20)

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 篠崎 大一郎

埼玉県上福岡市福岡二丁目1番1号 株式

会社エヌ・ジェイ・アールセミコンダクタ

内

Fターム(参考) 5J056 AA00 AA11 BB19 BB57 CC00

CC21 DD13 DD28 EE07 FF09

HH01

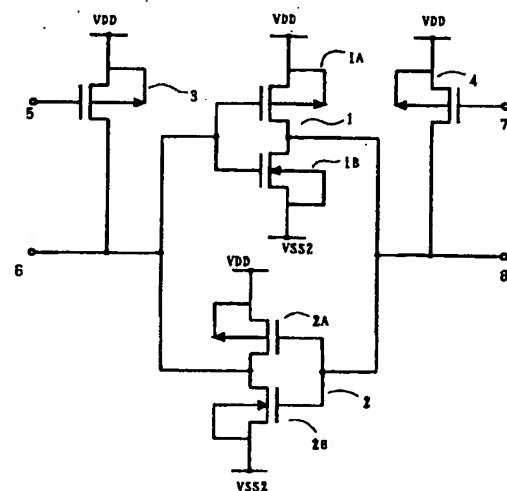
(54) 【発明の名称】 レベルシフト回路

包袋済

(57) 【要約】

【課題】 電源VSS1と電源VSS2との電圧差が大きくなっても回路の応答が遅くならず、また、各トランジスタのサイズの調整の容易なレベルシフト回路を提供する。

【解決手段】 第1のインバータ手段と、第1のインバータ手段の出力部がその入力部に接続されその出力部が第1のインバータ手段の入力部に接続された第2のインバータ手段と、第1のインバータ手段の出力をプルアップする手段と、第2のインバータ手段の出力をプルアップする手段とから構成されているレベルシフト回路とする。



## 【特許請求の範囲】

【請求項1】 第1の入力端子及び第2の入力端子と、第1の出力端子及び第2の出力端子と、その入力部が上記第1の出力端子に、又、その出力部が上記第2の出力端子に接続された第1のインバータ手段と、上記第1のインバータ手段の出力部がその入力部に接続されその出力部が上記第1のインバータ手段の入力部に接続された第2のインバータ手段と、上記第1の入力端子に加えられる制御量に応じて上記第1のインバータ手段の出力をプルアップする手段と、上記第2の入力端子に加えられる制御量に応じて上記第2のインバータ手段の出力をプルアップする手段と、から構成されていることを特徴とするレベルシフト回路。

【請求項2】 第1の入力端子及び第2の入力端子と、第1の出力端子及び第2の出力端子と、その入力部が上記第1の出力端子に、又、その出力部が上記第2の出力端子に接続された第1のインバータと、その入力部が上記第2の出力端子に、又、その出力部が上記第1の出力端子に接続された第2のインバータと、上記第2のインバータの出力をプルアップするためにそのドレインが上記第1の出力端子に接続され、又、そのゲートが上記第1の入力端子に接続された第1のpチャネルMOSトランジスタと、上記第1のインバータの出力をプルアップするためにそのドレインが上記第2の出力端子に接続され、又、そのゲートが上記第2の入力端子に接続された第2のpチャネルMOSトランジスタと、から構成されていることを特徴とするレベルシフト回路。

【請求項3】 前記プルアップ手段の各々の入力部にデコーダー回路の出力部を各々接続したことを特徴とする請求項1乃至2記載のレベルシフト回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、レベルシフト回路に関する。

【0002】

【従来の技術】 レベルシフト回路は、2つの電源系を持つ回路において、一方の電源系からの出力信号レベルを、他方の電源系への入力信号レベルへと変換するための回路である。

【0003】 図4は、従来のレベルシフト回路の一例を示したものである。以下本図により従来のレベルシフト回路について説明する。本図の構成において、21は第1のpチャネルMOSトランジスタ21A及び第1のnチャネルMOSトランジスタ21Bからなる第1のインバータ、22は第2のpチャネルMOSトランジスタ22A及び第2のnチャネルMOSトランジスタ22Bからなる第2のインバータ、23Aは第3のpチャネルMOSトランジスタ、23Bは第3のnチャネルMOSトランジスタ、24Aは第4のpチャネルMOSトランジスタ、24Bは第4のnチャネルMOSトランジスタ、

25は第5のnチャネルMOSトランジスタ、26は第6のnチャネルMOSトランジスタ、27は入力端子、28は第1の出力端子、29は第2の出力端子、30は電源VSS2への接続端子である。

【0004】 また入力端子27へは、図示されていない電源VSS1によって駆動されている回路からの信号が入力されるものとする。

【0005】 以上のように構成されたレベルシフト回路の動作について、入力端子27に入力される信号Iがローレベル電圧（以下“L”とする）の場合（1）と信号Iがハイレベル電圧（以下“H”とする）の場合（2）について説明する。

【0006】 （1）入力端子27に入力される信号IがLである場合。

信号IがLの場合には第1のpチャネルMOSトランジスタ21A及び第1のnチャネルMOSトランジスタ21Bからなる第1のインバータ21の出力はHとなる（A点）。

【0007】 A点の電圧レベルがHとなることにより、第2のpチャネルMOSトランジスタ22A及び第2のnチャネルMOSトランジスタ22Bからなる第2のインバータの入力はHとなり、第2のインバータ22の出力はLとなる（B点）。又、B点がLとなることにより、第4のpチャネルMOSトランジスタ24Aがオンとなり、又、第4のnチャネルMOSトランジスタ24Bがオフとなる。このために、第2の出力端子29の電圧レベルはHとなる。一方、A点がHであることにより、第3のpチャネルMOSトランジスタ23Aがオフとなり、第3のnチャネルMOSトランジスタ23Bがオンとなり、また、第2の出力端子29は前述したようにHであるために第5のnチャネルMOSトランジスタ25がオンし、第1の出力端子28はLとなる。

【0008】 （2）入力端子27に入力される入力信号IがHである場合。

信号IがHの場合は、第1のpチャネルMOSトランジスタ21A及び第1のnチャネルMOSトランジスタ21Bからなる第1のインバータ21の出力はLとなる（A点）。A点の電圧レベルがLとなることにより、第2のpチャネルMOSトランジスタ22A及び第2のnチャネルMOSトランジスタ22Bからなる第2のインバータ22の出力はH（B点）となる。前述のようにA点がLであるために、第3のpチャネルMOSトランジスタ23Aはオンとなり、第3のnチャネルMOSトランジスタ23Bはオフとなり、第1の出力端子28の出力はHとなる。また更に前述のように、B点がHであるために、第4のpチャネルMOSトランジスタ24Aがオフとなり、第4のnチャネルMOSトランジスタ24Bがオンとなり、また、第1の出力端子28がHであるために、第6のnチャネルMOSトランジスタ26がオンし、第2の出力端子29の出力はLとなる。以上の動

作をまとめると以下の表のようになり、レベルシフト動作が行われる。

\*【0009】

\*【表1】

入力 27	A点	B点	第1の出力 28	第2の出力 29
L	H	L	L	H
H	L	H	H	L

【0010】

【発明が解決しようとする課題】しかしながら、レベルシフト回路が上記のような構成である場合には、入力端子27へ入力される信号Iの電源系であるVSS1よりも、出力端子28、29に出力される出力信号の電源系であるVSS2の電圧が低い場合には、第3のnチャネルMOSトランジスタ23B及び第4のnチャネルMOSトランジスタ24Bが共に完全にオフとならないために、信号の変化時に貫通電流が流れる。さらに、電源VSS1と電源VSS2との電圧差が大きくなるにつれて、この貫通電流は大きくなり、それによって、レベルシフト回路の応答が遅くなるという問題があった。

【0011】また、各トランジスタのサイズによっては、以下に述べる理由により、レベルシフト回路としての動作をしなくなることがあり、トランジスタのサイズの調整が難しいという問題があった。即ち、同図においては、第4のpチャネルMOSトランジスタ24A、第4のnチャネルMOSトランジスタ24B及び第6のnチャネルMOSトランジスタ26の3つのトランジスタが直列に接続されている。

【0012】VSS1とVSS2がほぼ等しい場合には、これらのトランジスタのHレベル及びLレベルとはそれぞれ対応して回路動作が行われるが、VSS1>>VSS2である場合は、Hレベル及びLレベルとがそれぞれ対応しなくなり、第4のnチャネルMOSトランジスタ24Bがオフしなくなる結果、貫通電流が増加して回路動作が遅くなる。VSS1とVSS2がほぼ等しい場合において、動作の高速性を重視したときには第4のnチャネルMOSトランジスタ24Bのオン抵抗を小さくするためにゲート幅を大きくする必要がある。又、VSS1>>VSS2である場合に確実な回路動作をさせるためには、第4のpチャネルMOSトランジスタ24Aのオン抵抗>>第4のnチャネルMOSトランジスタ24Bのオン抵抗とする必要があった。このようにトランジスタのサイズに対して種々の条件を考慮した設計をしなければならなかった。また更に、1つのロジック系から他のロジック系へデータを渡し、なおかつ、ラッチ回路によってデータの保持をする場合には、レベルシフトの回路とラッチ回路はそれぞれ別個に設けるため、回路規模の拡大につながるという問題があった。

【0013】

【課題を解決するための手段】上記の課題を解決するた

めに本発明では以下のようにした。第1の発明においては、第1のインバータ手段と、第1のインバータ手段の出力部がその入力部に接続されその出力部が第1のインバータ手段の入力部に接続された第2のインバータ手段と、第1のインバータ手段の出力をプルアップする手段と、第2のインバータ手段の出力をプルアップする手段とから構成されているレベルシフト回路とした。

【0014】第2の発明においては、第1の入力端子及び第2の入力端子と、第1の出力端子及び第2の出力端子と、その入力部が第1の出力端子に、又、その出力部が第2の出力端子に接続された第1のインバータと、その入力部が第2の出力端子に、又、その出力部が第1の出力端子に接続された第2のインバータと、第2のインバータの出力をプルアップするためにそのドレインが第1の出力端子に接続され、又、そのゲートが第1の入力端子に接続された第1のpチャネルMOSトランジスタと、第1のインバータの出力をプルアップするためにそのドレインが第2の出力端子に接続され、又、そのゲートが第2の入力端子に接続された第2のpチャネルMOSトランジスタと、から構成されているレベルシフト回路とした。

【0015】第3の発明においては、前記プルアップ手段の各々の入力部にデコーダ回路の出力部を各々接続したことを特徴とする請求項1乃至請求項2記載のレベルシフト回路とした。

【0016】

【作用】レベルシフト回路をこのように構成することにより、第1のインバータの出力に対し、第1のpチャネルMOSトランジスタのオン抵抗が十分に低ければ、2つの電源系の電圧によらず、確実に動作し、極端に応答速度が遅くなることはない。また、トランジスタのサイズの調整が容易となる。さらに、第1のインバータをプルアップするためにそのドレインが第1の出力端子に、又、そのゲートが第1の入力端子に接続された第1のpチャネルMOSトランジスタと第2のインバータをプルアップするために、そのドレインが第2の出力端子に、又、そのゲートが第2の入力端子に接続された第2のpチャネルMOSトランジスタの双方の入力端子をHにすることにより、第1の出力端子及び第2の出力端子に出力される信号をそれぞれラッチすることができる。

【0017】

【発明の実施の形態】図1は、本発明の第1の実施例で

ある。以下、図1の実施例の動作について説明する。同図の構成において、1は第1のpチャネルMOSトランジスタ1A及び第1のnチャネルMOSトランジスタ1Bからなる第1のインバータ、2は第2のpチャネルMOSトランジスタ2A及び第2のnチャネルMOSトランジスタ2Bからなる第2のインバータ、3は第2のインバータ2をプルアップするための第3のpチャネルMOSトランジスタ、4は第1のインバータ1をプルアップするための第4のpチャネルMOSトランジスタ、5は第1の入力端子、6は第1の出力端子、7は第2の入力端子、8は第2の出力端子である。

【0018】第1のインバータ1の出力部は第2のインバータ2の入力部と接続されると共に、第2の出力端子8及び第4のpチャネルMOSトランジスタ4のドレインと接続されている。第4のpチャネルMOSトランジスタ4のソースは電源VDDに、又、そのゲートは第2の入力端子7にそれぞれ接続されている。一方、第2のインバータ2の出力部は第1のインバータ1の入力部と接続されると共に、第2の出力端子6及び第3のpチャネルMOSトランジスタ3のドレインと接続されている。又、第3のpチャネルMOSトランジスタ3のソースは電源VDDに、又、そのゲートは第1の入力端子5に接続されている。

【0019】次に同図のレベルシフト回路の動作について説明する。同図の第1の入力端子5への信号IXをLに、第2の入力端子7への信号IをHにした場合を考える。第1の入力端子5（IX）の電圧レベルLが第3のpチャネルMOSトランジスタ3のゲートに印加されるために、第3のpチャネルMOSトランジスタ3のトランジスタがオンになり、その結果、第1の出力端子6がHになる。又、第2の入力端子7の電圧レベルHが第4のpチャネルMOSトランジスタ4のゲートに印加されるために第4のpチャネルMOSトランジスタ4はオフとなるが、第1のpチャネルMOSトランジスタ1A及び第1のnチャネルMOSトランジスタ1Bからなる第1のインバータには、前述した第1の出力端子6のHが入力され、その出力がLであるために、第2の出力端子8はLとなる。さらに、第2のpチャネルMOSトランジスタ2A及び第2のnチャネルMOSトランジスタ2Bからなる第2のインバータの入力がLであるため、第2のインバータの出力はHとなり、第1の出力端子6にHを出力し、定常状態となる。

【0020】次に、第1の入力端子5に与えられる信号IXをHに、第2の入力端子7に与えられる信号IをLにした場合を考える。第2の入力端子7（I）がLとなるために第4のpチャネルMOSトランジスタ4はオンになる。第2の出力端子8に、第4のpチャネルMOSトランジスタ4の出力Hと、第1のpチャネルMOSトランジスタ1A及び第1のnチャネルMOSトランジスタ1Bからなる第1のインバータの以前の出力Lとがぶ

つかり、貫通電流が流れるが、第1のnチャネルMOSトランジスタ1Bのオン抵抗よりも、第4のpチャネルMOSトランジスタ4のオン抵抗が低く作られているため、第2の出力端子8はHとなる。この信号の変化は、第2のpチャネルMOSトランジスタ2A及び第2のnチャネルMOSトランジスタ2Bからなる第2のインバータ2を通じて、第1の出力端子6をLに変化させる。第1の入力端子5（IX）はHであるため、第3のpチャネルMOSトランジスタ3はオフとなり、ここでは貫通電流は流れない。さらに、第1の出力端子6がLになったことにより、第1のpチャネルMOSトランジスタ1A及び第1のnチャネルMOSトランジスタ1Bからなる第1のインバータ1の出力がHに変化し第2の出力端子8における信号の衝突は解消され、定常状態となる。

【0021】更に、第1の入力端子5に与えられる信号IXをLに、第2の入力端子7に与えられる信号IをHにした場合を考える。第1の入力端子5（IX）がLとなるために、第3のpチャネルMOSトランジスタ3がオンとなる。第1の出力端子6に、第3のpチャネルMOSトランジスタ3の出力Hと、第2のpチャネルMOSトランジスタ2A及び第2のnチャネルMOSトランジスタ2Bからなる第2のインバータ2の以前の出力Lとがぶつかり、貫通電流が流れるが、第2のnチャネルMOSトランジスタ2Bのオン抵抗よりも、第3のpチャネルMOSトランジスタ3のオン抵抗が低く作られているため、第2の出力端子6はHとなる。この信号の変化は、第1のpチャネルMOSトランジスタ1A及び第1のnチャネルMOSトランジスタ1Bからなる第1のインバータ1を通じて第2の出力端子8をLに変化させる。第2の入力端子7（I）はHであるため、第4のpチャネルMOSトランジスタ4はオフとなり、ここでは貫通電流は流れない。さらに、第2の出力端子8がLになったことにより、第2のpチャネルMOSトランジスタ2A及び第2のnチャネルMOSトランジスタ2Bからなる第2のインバータ2の出力がHに変化し第1の出力端子6における信号の衝突は解消され、定常状態となる。

【0022】更に、第1の入力端子5に与えられる信号IXと第2の入力端子7に与えられる信号Iを双方ともHにした場合を考える。第1の入力端子5（IX）と第2の入力端子7（I）が双方ともHとなるために、第3のpチャネルMOSトランジスタ3及び第4のpチャネルMOSトランジスタ4は共にオフになる。第1の出力端子6のHと、第2の出力端子8のLは変化が無いため、第1のインバータ1及び第2のインバータ2によるそれぞれの出力は変化は生じずに固定される。これは、第2の入力端子への信号IがL、第1の入力端子への信号IXがHである状態から、第2の入力端子への信号Iと第1の入力端子への信号IXを双方ともにHに変

化させた場合にも同様に、第1の出力端子6がL、第2の出力端子8がHに固定される。即ち、第1の入力端子5及び第2の入力端子7の入力を共にHとすることにより第1及び第2の出力端子の出力はラッチされることになる。

【0023】図2は、本発明の第2の実施例であり、図1のレベルシフト回路にデコーダー回路を加えた回路例である。

【0024】図2において、図1に追加されたもののみを説明すると、9は第3のインバータ、10は第1のNANDゲート回路、11は第2のNANDゲート回路、12は第3の入力端子、13は第4の入力端子である。第3の入力端子12は第3のインバータ9に入力されると共に第2のNANDゲート回路11の一方の入力となり、第3のインバータ9の出力は第1のNANDゲート回路10の一方の入力となる。又、第4の入力端子13は第1のNANDゲート回路10及び第2のNANDゲート回路11のそれぞれもう一方の入力となり、第3のインバータ9、第1のNANDゲート回路10、第2のNANDゲート回路11によりデコーダー回路14を構成している。なお、図2においては、第3のpチャネルMOSトランジスタ3のゲート入力には、デコーダー回路14を構成する第2のNANDゲート回路11の出力が接続されることにより、第1の入力端子5は無くなり、又、第4のpチャネルMOSトランジスタ4のゲート入力には、デコーダー回路14を構成する第1のNANDゲート回路10の出力が接続されることにより、第2の入力端子7は無くなっている。図2のデコーダー回路を加えたレベルシフト回路の動作は以下の通りである。

【0025】(1) 第4の入力端子13の入力信号をHとした場合。

入力信号IがLの時は、第1のNANDゲート回路10の出力はLとなり、第2のNANDゲート回路11の出力はHとなり、又、入力信号IがHの時は、第1のNANDゲート回路10の出力はHとなり、第2のNANDゲート回路11の出力はLとなる。

【0026】(2) 第4の入力端子13の入力信号をLとした場合。

入力信号IがLの時は、第1のNANDゲート回路10の出力はHとなり、第2のNANDゲート回路11の出力もHとなり、又、入力信号IがHの時も、第1のNANDゲート回路10の出力はHとなり、第2のNANDゲート回路11の出力もHとなる。

【0027】つまり、第4の入力端子13の入力をHにすると、第3の入力端子12の入力をH又はLに切り換えることにより、図1の説明におけるようなレベルシフト動作がなされ、第4の入力端子13をLとすることにより、信号IがH又はLであるかに関わらず、出力をラッチする機能を有している。

【0028】図3は、図1の実施例において、各トランジスタをpチャネルMOSトランジスタとnチャネルMOSトランジスタをそれぞれ置き換えた回路を示す。動作は、図1と同様であり、説明を省略する。

【0029】

【発明の効果】以上説明したように、本発明による構成のレベルシフト回路とすることにより、動作スピードの低下を招くことがなくなり、又、トランジスタの設計を容易なものとすることができる。更に、上記したようなレベルシフト回路の機能に加えて、ラッチ回路としての機能を併せ持つことができるために、レベルシフト回路に対してラッチ回路を別個に設けた場合に比べて、回路の規模を大幅に縮小することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例

【図2】本発明の第二の実施例

【図3】本発明の第三の実施例

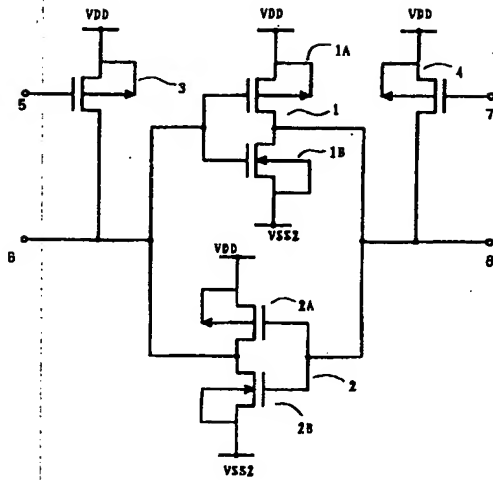
【図4】従来のレベルシフト回路

【符号の説明】

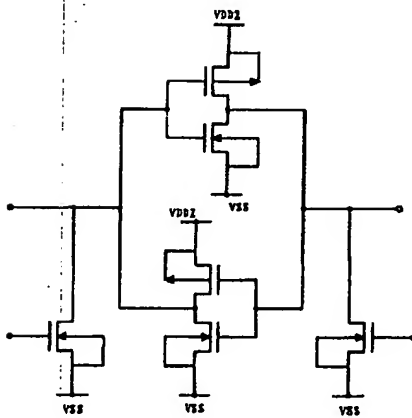
- 1 第1のpチャネルMOSトランジスタ1A及び第1のnチャネルMOSトランジスタ1Bからなる第1のインバータ
- 2 第2のpチャネルMOSトランジスタ2A及び第2のnチャネルMOSトランジスタ2Bからなる第2のインバータ
- 3 第3のpチャネルMOSトランジスタ
- 4 第4のpチャネルMOSトランジスタ
- 5 第1の入力端子
- 6 第1の出力端子
- 7 第2の入力端子
- 8 第2の出力端子
- 9 第3のインバータ
- 10 第1のNAND回路
- 11 第2のNAND回路
- 12 第3の入力端子
- 13 第4の入力端子
- 21 第1のpチャネルMOSトランジスタ21A及び第1のnチャネルMOSトランジスタ21Bからなる第1のインバータ
- 22 第2のpチャネルMOSトランジスタ22A及び第2のnチャネルMOSトランジスタ22Bからなる第2のインバータ
- 23A 第3のpチャネルMOSトランジスタ
- 23B 第3のnチャネルMOSトランジスタ
- 24A 第4のpチャネルMOSトランジスタ
- 24B 第4のnチャネルMOSトランジスタ
- 25 第5のnチャネルMOSトランジスタ
- 26 第6のnチャネルMOSトランジスタ
- 27 第3の入力端子
- 28 第3の出力端子

30 電源端子

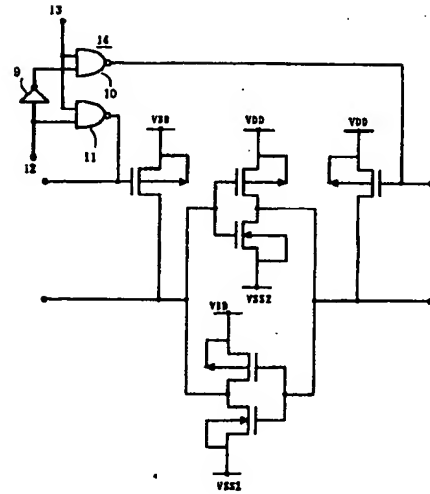
【図 1】



【図3】



【図2】



【図4】

